

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.



(19)

(11) Publication number:

07066628 A

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **05214303**(51) Intl. Cl.: **H03B 5/18 H03B 5/12**(22) Application date: **30.08.93**

(30) Priority:

(43) Date of application
publication: **10.03.95**(84) Designated contracting
states:(71) Applicant: **KYOCERA CORP**(72) Inventor: **UEMURA HIROKI
TANAKA YASUYUKI
NISHINO TOMOO**

(74) Representative:

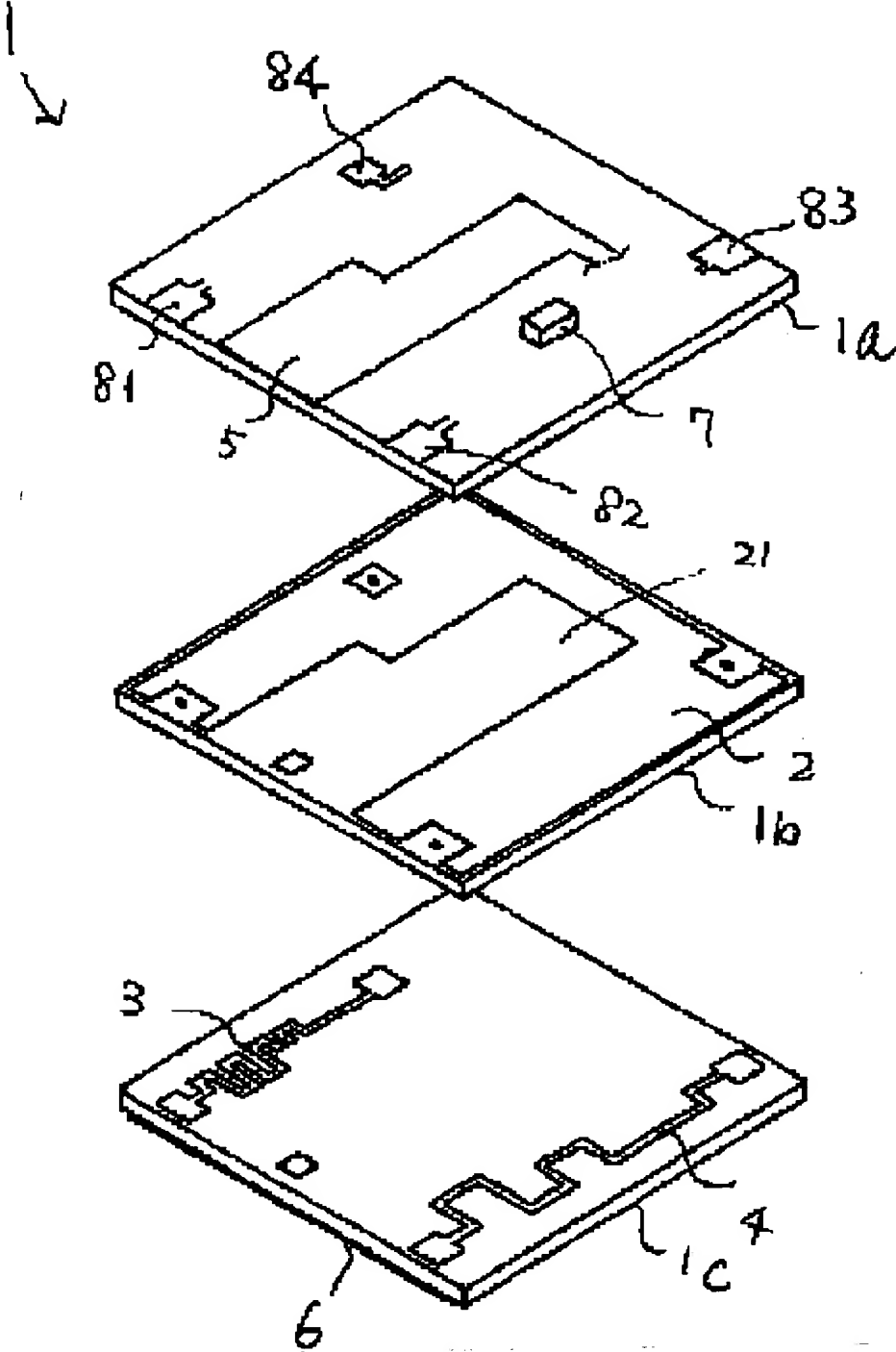
**(54) VOLTAGE
CONTROLLED
OSCILLATOR**

(57) Abstract:

PURPOSE: To form a small-sized voltage controlled oscillator by thinning a multilayer dielectric substrate for which strip lines are formed in the height.

CONSTITUTION: This voltage controlled oscillator is composed of a resonance circuit part X for deciding a resonance frequency by a control voltage and a negative resistance circuit part Y and is provided with the plural strip lines SL1-SL3. The plural strip lines SL1-SL3 are formed on the multilayer dielectric substrate 1 for which plural dielectric layers 1a-1c and plural ground conductor patterns 2 and 6 are laminated. Along with it, for instance, conductor patterns 3 and 5 to be the strip lines SL1 and SL2 are formed on the different dielectric layers 1c and 1a and arranged so as to be opposed to the same ground

conductor pattern 6.
COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66628

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl.⁶H 0 3 B 5/18
5/12

識別記号

庁内整理番号

C 8124-5J
G 8124-5J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平5-214303

(22) 出願日 平成5年(1993)8月30日

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 植村 浩樹

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72) 発明者 田中 康行

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72) 発明者 西野 智雄

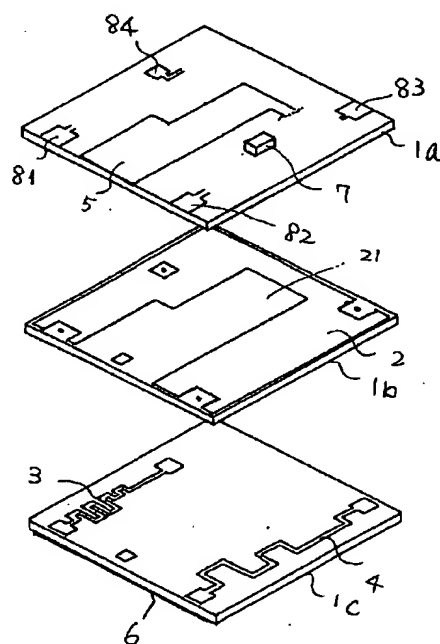
鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(54) 【発明の名称】 電圧制御発振器

(57) 【要約】

【目的】 ストリップ線路が形成された多層誘電体基板を低背化して、小型な電圧制御発振回路を提供する。

【構成】 本発明は、制御電圧により共振周波数を決定する共振回路部Xと負性抵抗回路部Yとから成り、複数のストリップ線路SL₁～SL_nを有して成る電圧制御発振器であって、前記複数のストリップ線路SL₁～SL_nが、複数の誘電体層1a～1cと複数のアース導体パターン2、6とが積層された多層誘電体基板1に形成されるとともに、例えばストリップ線路SL₁、SL₂となる導体パターン3、5が異なる誘電体層1c、1a上に形成され、且つ同一のアース導体パターン6に対向するように配置されている。



【特許請求の範囲】

【請求項1】 制御電圧により共振周波数を決定する共振回路部と負性抵抗回路部とから成り、複数のストリップ線路を有して成る電圧制御発振器であって、前記複数のストリップ線路は、複数の誘電体層と複数のアース導体パターンとが積層された多層誘電体基板に形成されており、且つ前記ストリップ線路となる導体パターンは異なる誘電体層上に形成されるとともに、同一のアース導体パターンに対向するように配置されていることを特徴とする電圧制御発振器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、共振回路部に印加される制御電圧によって所定周波数を発振する電圧制御発振器に関するものである。

【0002】

【従来の技術】従来の高周波発振させるための電圧制御発振器（VCO）は、図3に示すような回路構成となっている。

【0003】図において、Xはマイクロストリップ線路 SL_1 、 SL_2 、可変容量ダイオード C_v 、コンデンサ $C_1 \sim C_4$ から成る共振回路部であり、Yはトランジスタ Q_1 、抵抗 $R_1 \sim R_2$ 、コンデンサ $C_5 \sim C_6$ から成る負性抵抗回路部であり、Zはトランジスタ Q_2 、マイクロストリップ線路 SL_3 、抵抗 $R_3 \sim R_4$ 、コンデンサ $C_7 \sim C_{11}$ から成る増幅回路部である。

【0004】このようなVCOの回路において、共振回路部Xのコントロール端子Vtより所定電圧（以下、制御電圧という）が印加されると、可変容量ダイオード C_v の両端の電圧が変化し、この電圧に応じた所定容量が発生し、マイクロストリップ線路 SL_1 、可変容量ダイオード C_v の容量、コンデンサ C_1 、 C_2 、 C_3 の容量とによって所定周波数で共振して、その共振信号がコンデンサ C_4 を介して負性抵抗回路部Yに出力される。そして、負性抵抗回路部Y及び増幅回路Zの動作して、出力端子OUTより所定周波数の発振信号が導出される。

【0005】上述のVCOの回路には、3つのストリップ線路 $SL_1 \sim SL_3$ が用いられ、例えば、ストリップ線路 SL_1 は、コントロール端子Vtの制御電圧をこの回路にマッチングさせるためのものであり、ストリップ線路 SL_2 は実質的な共振回路を構成するものであり、ストリップ線路 SL_3 は、電源端子Vccの供給電圧をこの回路にマッチングさせるためのものである。

【0006】ストリップ線路 $SL_1 \sim SL_3$ は誘電体基板に形成しなくてはならず、図3に示すストリップ線路 $SL_1 \sim SL_3$ 以外の電子部品は、該誘電体基板上のストリップ線路 $SL_1 \sim SL_3$ を形成領域以外に形成された所定回路パターンに搭載されたり、また、この誘電体基板と接続する他の回路基板に形成された所定回路パターンに搭載される。

【0007】そして、VCOは、上述の1つ又は複数の基板から各種信号が入出力できるように、シールドケースなどの収納される。

【0008】従来、ストリップ線路 $SL_1 \sim SL_3$ は、図4に示すように、所定誘電率、所定厚みの誘電体基板41の表面にストリップ線路 $SL_1 \sim SL_3$ となる導体パターン42～44と誘電体基板1の裏面側にアース導体パターン45を形成することによって達成されていた。尚、図4において、各ストリップ線路 $SL_1 \sim SL_3$ に接続する回路パターン及び各種電子部品を省略している。

【0009】このように、誘電体基板41の表面にストリップ線路 $SL_1 \sim SL_3$ となる導体パターン42～44を形成する場合、各ストリップ線路 $SL_1 \sim SL_3$ で要求される特性を考慮して、互いの導体パターン42～44間で影響を及ぼさないようにしなくてはならず、充分な間隔をはなしたりしなければならず、誘電体基板41の大型化が発生してしまう。

【0010】また、このような誘電体基板41をシールドケースで被覆した場合、シールドケースと導体パターン42～43との間で浮遊容量が発生してしまい、ストリップ線路 $SL_1 \sim SL_3$ の特性が変動してしまうことがあり、安定した特性を導出できるVCOの達成が困難となる。

【0011】この問題を解決するため、図5に示すように、例えば3層構造の多層誘電体基板51にストリップ線路 $SL_1 \sim SL_3$ を形成することが考えられる。

【0012】例えば、第1の誘電体層51aと第2の誘電体層51b間の略全面の領域に、アース導体パターン52を形成し、また、第2の誘電体層51bと第3の誘電体層51cとの間にストリップ線路 $SL_1 \sim SL_3$ となる導体パターン53～55を形成し、さらに、第3の誘電体層51cの下面の略全面の領域に、アース導体パターン56を形成する。

【0013】

【発明が解決しようとする課題】しかし、実際には、必ずしも図5に示す構造が有用とは限らない。即ち、導体パターン53～55を挟持するアース導体パターン52、56との間隔が全てのストリップ線路 $SL_1 \sim SL_3$ で同一の間隔である。上述の電圧制御発振回路では、特に共振周波数を決定するためのストリップ線路 SL_2 のQ値を、他のストリップ線路 SL_1 、 SL_3 のQ値に比較して大きくする必要がある。即ち、同一の条件で形成されたストリップ線路 $SL_1 \sim SL_3$ において、各Q値に応じた値にすることが困難である。例えば、Q値の向上のために、誘電体層51b、51cの厚みを厚くしたりすると逆に低背化が困難となる。

【0014】本発明は、上述の問題点を鑑みて案出されたものであり、各ストリップ線路の特性の違いを考慮して、夫々ストリップ線路の特性が安定に導出することが

でき、且つ小型化された誘電体基板に形成したストリップ線路を有する電圧制御型発振器を提供することにある。

【0015】

【課題を解決するための手段】本発明は、制御電圧により共振周波数を決定する共振回路部と負性抵抗回路部とから成り、複数のストリップ線路を有して成る電圧制御発振器であって、前記複数のストリップ線路は、複数の誘電体層と複数のアース導体パターンとが積層された多層誘電体基板に形成されており、且つ前記ストリップ線路となる導体パターンは異なる誘電体層上に形成されるとともに、同一のアース導体パターンに対向するように配置されている電圧制御発振器である。

【0016】

【作用】本発明によれば、多層誘電体基板に複数のストリップ線路を形成した電圧制御型発振器であって、特に大きなQ値が要求される共振用のストリップ線路となる導体パターンを多層誘電体基板の表面または表面寄りの所定誘電体層上に、比較的小さなQ値が要求されるストリップ線路を該大きなQ値が要求されるストリップ線路となる導体パターンよりも裏面寄りの所定誘電体層上に形成され、さらにこれらのストリップ線路となる導体パターンと対向する共通のアース導体パターンを、多層誘電体基板の裏面または比較的小さなQ値が要求されるストリップ線路となる導体膜が形成された誘電体層よりも裏面側に配置したため、多層誘電体基板の厚みは大きなQが要求されるストリップ線路となる導体パターンとアース導体パターンとの関係により規定されることになり、多層誘電体基板の厚みが必要最小となる。

【0017】また、比較的小さなQ値が要求されるストリップ線路となる導体膜が、少なくとも多層誘電体基板に内層されることから、特性が比較的に安定となる。

【0018】このように、各ストリップ線路は、その要求特性に応じて異なる誘電体層上に形成されているので、夫々の特性を安定して導出でき、極小化された多層誘電体基板となり、これを用いることにより小型、高性能の電圧制御発振器となる。

【0019】

【実施例】以下、本発明の電圧制御発振器を図面に基づいて説明する。

【0020】尚、電圧制御発振器の回路は、図3に示す回路構成であるため説明を省略して、同一部分は同一符号で説明する。

【0021】本発明の電圧制御発振器は、図3に示す回路を構成する多層誘電体基板、必要に応じて他の回路基板、該誘電体基板を収納するシールドケースとから構成されている。

【0022】前記多層誘電体基板には、図1、図2に示すように、図3に示す回路に示す複数、例えば3つのストリップ線路 $SL_1 \sim SL_n$ が形成されている。また、

この回路を構成する他の電子部品、即ち、抵抗素子、コンデンサ素子7などは詳細は省略している。

【0023】多層誘電体基板1は、アルミナなどの所定誘電率の材料からなる少なくとも3層の誘電体層1a～1cと、誘電体層1a、1bの層間に配置されたアース導体パターン2、誘電体層1b、1cの層間に配置されたストリップ線路 SL_1 、 SL_2 となる導体パターン3、4とから成り、さらに、誘電体層1aの表面にストリップ線路 SL_1 となる導体パターン5と誘電体層1c

の裏面のアース導体パターン6とから構成されている。【0024】ここで、導体パターン5は比較的大きなQ値が要求されるストリップ線路 SL_1 となるものであり、導体パターン2、3は比較的小さなQ値が要求されるストリップ線路 SL_2 、 SL_3 となる。

【0025】多層誘電体基板1の表面、即ち、誘電体層1a上の導体パターン5には、比較的幅の広い導体パターン5、所定回路パターンや各種接続電極パターン81～84が形成されて、さらに必要に応じて電子部品7が搭載されている。

【0026】誘電体層1aと1bとの層間、即ち誘電体層1b上に、前記導体パターン5よりも大きく、且つ近似した開口部21を有するようにアース導体パターン2が形成されている。

【0027】誘電体層1bと1cとの層間、即ち誘電体層1c上に、所定導体幅、所定長さで蛇行した導体パターン3、4が形成されている。この導体パターン3、4は誘電体層1bを介してアース導体パターン2と対向している。

【0028】多層誘電体基板1の裏面、即ち、誘電体層1cの下面には、略前面に渡りアース導体パターン6が形成されている。

【0029】このような多層誘電体基板1は、各誘電体層1a～1cとなる厚み0.2mmの誘電体グリーンシートを用意し、例えば誘電体層1bとなるグリーンシート上に、アース導体パターン2となる導体膜をAgやCuなどの高周波特性が良好な導電性ペーストで印刷・乾燥し、誘電体層1cとなるグリーンシート上に、導体パターン3、4となる導体膜をAgやCuなどの高周波特性が良好な導電性ペーストで印刷・乾燥し、さらに、誘電体層1aとなるグリーンシートとともに、夫々圧着積層を行い、所定焼成条件で焼成を行い、焼成された基板の両主面に、夫々導体パターン5、アース導体パターン6となる導体を印刷・焼きつけを行うことによって形成される。尚、焼成前に導体パターン5、アース導体パターン6となる導体を印刷した後、基板本体とともに一体的に焼成処理しても構わない。また、多層誘電体基板1上に所定回路パターンを形成する場合には、導体パターン5の形成と同時に形成すればよい。さらに、誘電体層1a～1cの層間に形成された導体パターン3、4、アース導体パターン2と前記所定回路パターンとの接続、

5

また導体パターン5とアース導体パターン6との接続、さらにアース導体パターン2、6間の接続は、各誘電体層1a~1cの厚み方向を貫くビアホールや多層誘電体基板1の端面導体によって達成される。

【0030】これにより、多層誘電体基板1の表面の導体パターン6はアース導体パターン2の開口部21を通じて誘電体基板1の裏面に形成したアース導体パターン6と対向することにより、図3に示す比較的大きなQ値のストリップ線路SL₁となる。

【0031】また、導体パターン3、4は、夫々アース導体パターン2と6とに誘電体層1b、1cを介して挟持され、図3に示す比較的小さなQ値のストリップ線路SL₂、SL₃となる。

【0032】導体パターン3、4は、基板表面側及び裏面側に夫々アース導体パターン2、6が存在することになり、導体パターン3、4によるストリップ線路SL₁、SL₂の特性が外部の影響、例えば、シールドケースとの間で発生する浮遊容量などが発生することがなく、特に安定した特性を導出することができる。

【0033】ここで、導体パターン5とアース導体パターン6との対向により形成されるストリップ線路SL₁の特性が、その間に配置されたアース導体パターン2、導体パターン3、4によって影響されないように、特に、アースパターン2の開口21の大きさを所定形状にしておく必要がある。

【0034】従来より、一般的には、基板表層に形成したストリップ線路となる導体パターンを形成した場合、導体の周囲で導体幅の2倍範囲に、このストリップ線路と関係しない導体があるとストリップ線路の特性に影響を与えるとされていた。

【0035】しかし、本発明の種々の実験によれば、導体幅の2倍の範囲内に導体が存在しても、何等影響を及ぼさないことを知見し、これに基づいて、多層誘電体基板1の表面の導体パターン5と誘電体層1aと誘電体層1bとの間に配置したアース導体パターン2の開口21の大きさを設定した。例えば、導体パターン5の幅を0.65mmとして、この導体パターン5と対向するアース導体パターン6までの間隔を0.6mmとして、誘電体層1a、1bとの間に配置したアース導体パターン2の開口間隔を1.6mmに設定しても、導体パターン5とアース導体パターン6とで発生するストリップ線路SL₁が要求されるQ値が十分に達成できることが判明した。

【0036】この開口21間隔の設定は、導体パターン5とアース導体パターン6との対抗距離を算出して、導体パターン5の端辺を中心に円を描いた時、その半径内に、他の導体パターン、例えばアース導体パターン2が存在しないように設定した。

【0037】即ち如何なる部分においても、導体パターン5に最も近くに存在する導体は、この導体パターン5

6

と対向するアース導体6となるようにする。

【0038】以上のように、ストリップ線路SL₁~SL₃が形成された多層誘電体基板1は、該基板1内に配置されたアース導体パターン2の開口21を介して、多層誘電体基板1の表面に形成された導体パターン5と裏面に形成されたアース導体パターン6とが対向することによりストリップ線路SL₁となり、その対向距離が、他のストリップ線路SL₂、SL₃となる導体パターン3、4とアース導体パターン2、6との対向距離よりも大きくなるため、ストリップ線路SL₁をSL₁を高いQ値で、また、ストリップ線路SL₂、SL₃を比較的低いQ値で形成することができ、特性に応じたストリップ線路を簡単に構成することができる。

【0039】また、ストリップ線路SL₁、SL₂となる導体パターン3、4がアース導体パターン2、6に挟持されるように形成されているため、外部の影響（例えばシールドケースの被覆による浮遊容量など）により特性が変動しない安定なストリップ線路SL₁、SL₂が形成される。

【0040】これにより、ストリップ線路SL₁~SL₃が設計どおりに形成することができ、高周波回路の動作が不安定さや設計どおりの特性が導出できないなどとなるVCOを少なくすることができる。

【0041】また、ストリップ線路の大きなQ値が必要なものを基準にして、多層誘電体基板の誘電体層の積層数を任意に設定できるため、特性に応じた最も小型・低背化された多層誘電体基板が達成でき、これにより小型なVCOが達成できる。

【0042】尚、上述の実施例では、多層誘電体基板に3つのストリップ線路SL₁~SL₃を形成したが、例えばQ値が異なるストリップ線路を各々1つつ形成しても構わない。

【0043】また、さらに導体パターン5により形成されるストリップ線路SL₁と導体パターン3、4により形成されるストリップ線路SL₂、SL₃のQ値の相対的な差により、各誘電体層1a~1cの厚みを夫々変えたり、また、誘電体層1aの厚みを増加させるべき、誘電体層1a部分を、さらに積層しても構わない。

【0044】

【発明の効果】以上のように、本発明では、電圧制御型発振器を構成するストリップ線路が、誘電体材料からなる多層誘電体基板に形成され、さらに、高いQ値が要求される共振用のストリップ線路とこれに比較して低いQ値のストリップ線路を構成する導体パターンが夫々ことなる誘電体層上に形成され、且つ共通のアース導体パターンに対向しているため、共振用ストリップ線路の導体パターンと共通のアース導体パターンの間隔により、主に多層誘電体基板の厚みが決定されるため、低背化された多層誘電体基板が達成でき、これにより、小型化された電圧制御型発振器が達成できる。

【図面の簡単な説明】

【図1】本発明の電圧制御発振器に用いられる多層誘電体基板の断面構造図である。

【図2】図1の分解斜視図である。

【図3】一般的な電圧制御発振器の回路構成を説明する回路図である。

【図4】従来のストリップ線路を構成するための誘電体基板の概略図である。

【図5】従来のストリップ線路を構成するための多層誘電体基板の分解斜視図である。

【付号の説明】

* X・・・共振回路部

Y・・・負性抵抗回路部

Z・・・増幅回路部

SL₁、SL₂、SL₃・・・ストリップ線路

Cv・・・可変容量ダイオード

C₁～C₁₁・・・コンデンサ

R₁～R₄・・・抵抗

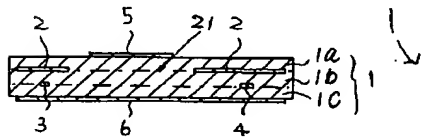
1・・・多層誘電体基板

1a～1c・・・誘電体層

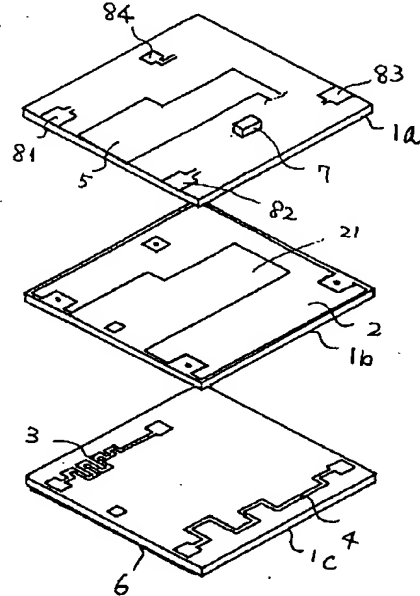
10 3～5・・・導体パターン

* 2、6・・・アース導体パターン

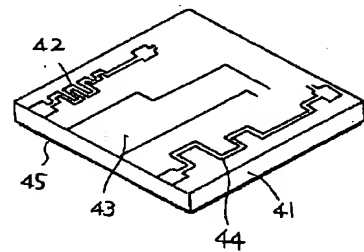
【図1】



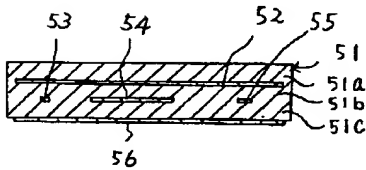
【図2】



【図4】



【図5】



(6)

特開平7-66628

【図3】

